

BEST AVAILABLE COPY

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(11) 3-14272 (A) (43) 22.1.1991 (19) JP

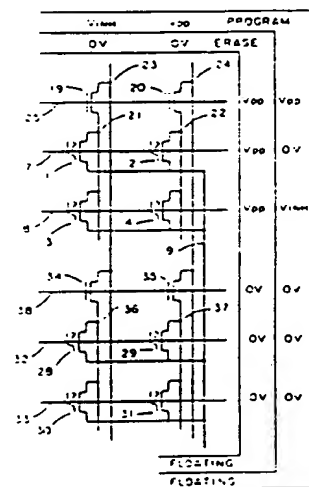
(21) Appl. No. 54-150884 (22) 13.6.1989

(71) MITSUBISHI ELECTRIC CORP (72) TAKESHI NAKAYAMA(4)

(51) Int. Cl. H01L29/788, H01L27/115, H01L29/792

PURPOSE: To enable erasure to be made in each sector as a unit and reduce the number of write-disable times of a non-selected memory cell on programming by dividing a memory cell array into a plurality of sectors for each specified line and by providing a transistor for selecting sectors for each sector.

CONSTITUTION: The title device has a memory cell array which is divided into a plurality of sectors for each specified line, word wires 7, 8, 32, and 33 which are provided for each line and are connected to a control gate of a memory cell transistor of the corresponding line, main bit wires 23 and 24 which are provided at each row, sub-bit wires 21, 22, 36, and 37 which are provided for each row of each sector and whose drain of memory cell transistors of the corresponding sector and row are connected, transistors 19, 20, 34, and 35 for selecting sectors whose drains are connected to the main bit wire of the corresponding row and whose sources are connected to the corresponding sub-bit wire, and sector selection wires 25 and 33 which are provided for each sector and are connected to the gate of transistor for selecting sector of the corresponding sector.



⑫ 公開特許公報(A)

平3-14272

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)1月22日

H 01 L 29/788

7514-5F
8624-5FH 01 L 29/78
27/103 7 1
4 3 4

※

審査請求 未請求 請求項の数 2 (全12頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 平1-150884

⑰ 出 願 平1(1989)6月13日

⑱ 発 明 者 中 山 武 志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 寺 田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 小 林 和 男 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 林 越 正 紀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 不揮発態様で情報を記憶し、かつ電氣的に書き換え可能な不揮発性半導体記憶装置であって、

行方向および列方向に沿ってマトリクス状に配置された複数のメモリセルトランジスタを有し、かつ所定行ごとに複数のセクタに分割されたメモリセルアレイを備え、

前記メモリセルトランジスタは、ドレインと、ソースと、コントロールゲートと、フーティンゲートとを有しており、

さらに、前記メモリセルアレイの各行ごとに設けられ、対応する行の前記メモリセルトランジスタの前記コントロールゲートに接続された複数のワード線、

前記メモリセルアレイの各列ごとに設けられた複数の主ビット線、

前記メモリセルアレイの前記各セクタの各列ごとに設けられ、対応するセクタおよび列の前記メモリセルトランジスタのドレインが接続された複数の副ビット線、

前記副ビット線ごとに所定個ずつ設けられ、そのドレインが対応する列の前記主ビット線に接続され、そのソースが対応する前記副ビット線に接続された複数のセクタ選択用トランジスタ、および

前記メモリセルアレイの前記各セクタごとに設けられ、対応するセクタの前記セクタ選択用トランジスタのゲートに接続された複数のセクタ選択線を備える、不揮発性半導体記憶装置。

(2) 不揮発態様で情報を記憶し、かつ電氣的に書き換え可能な不揮発性半導体記憶装置であって、

行方向および列方向に沿ってマトリクス状に配置された複数のメモリセルトランジスタを有し、かつ所定行ごとに複数のセクタに分割されたメモリセルアレイを備え、

前記メモリセルトランジスタは、ドレインと、ソースと、コントロールゲートと、フローティングゲートとを有しており、

さらに、前記メモリセルアレイの各行ごとに設けられ、対応する行の前記メモリセルトランジスタの前記コントロールゲートに接続された複数のワード線、

前記メモリセルアレイの各列ごとに設けられた複数の副ビット線、

前記メモリセルアレイの前記各セクタの各列ごとに設けられ、対応するセクタおよび列の前記メモリセルトランジスタのドレインおよび隣接する列の前記メモリセルトランジスタのソースが接続された複数の副ビット線、

前記副ビット線ごとに所定個ずつ設けられ、そのドレインが対応する列の前記主ビット線に接続され、そのソースが対応する前記副ビット線に接続された複数のセクタ選択用トランジスタ、および

前記メモリセルアレイの前記各セクタごとに設

— 3 —

しているため、コントロールゲートがソース方向に延びて選択トランジスタの役目を果たしている。また、2つのトランジスタを1つにしたため、プログラム時に書込阻止電圧を印加する必要がある。

第6図において、メモリセル1、2、3および4は、行方向および列方向に沿ってマトリクス状に配置され、メモリセルアレイを構成している。このメモリセルアレイの各列には、ビット線が設けられ、各行にはワード線が設けられる。第6図には、メモリセル1、3の列に対してビット線5が設けられ、メモリセル2、4の列に対してビット線6が設けられる。そして、ビット線5にはメモリセル1、3の各ドレインが接続され、ビット線6にはメモリセル2、4の各ドレインが接続される。また、メモリセル1、2の行に対してはワード線7が設けられ、メモリセル3、4の列に対してはワード線8が設けられる。そして、ワード線7はメモリセル1、2の各コントロールゲートに接続され、ワード線8はメモリセル3、4の各コントロールゲートに接続される。メモリセル1

— 5 —

けられ対応するセクタの前記セクタ選択用トランジスタのゲートに接続された複数のセクタ選択線を備える、不揮発性半導体記憶装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、不揮発性半導体記憶装置に関し、さらに特定のには、メモリセルとしていわゆるフローティングゲート型のトランジスタを用いた電気的に書換え可能な不揮発性半導体記憶装置に関する。

[従来の技術]

第6図は、1988 SYMPOSIUM ON VLSI CIRCUITS, DIGEST OF TECHNICAL PAPERS; 第81頁〜第82頁に示された従来の不揮発性半導体記憶装置のメモリセルアレイの中の4つのメモリセルの回路図とその書込電圧印加条件を示す図である。また、第7図は、第6図に用いられているメモリセルの断面図である。このメモリセルは、選択トランジスタとメモリトランジスタを1つに

— 4 —

〜4の各ソースは、ソース線9に接続される。なお、第6図に示す書込電圧印加条件は、消去（“1”書込み）をメモリセル1〜4に対して行ない、プログラム（“0”書込み）をメモリセル2に対して行なった場合について示してある。

第6図に示すメモリセル1〜4は、第7図に示すように、それぞれ、コントロールゲート10と、フローティングゲート11と、ドレイン12と、ソース13と、半導体基板14と、トンネル酸化膜15と、ドレイン電極16と、コントロールゲート電極17と、ソース電極18とを備えている。前述したように、ドレイン電極16はビット線5または6に接続され、コントロールゲート電極17はワード線7または8に接続され、ソース電極18はソース線9に接続される。

次に、第6図に示す従来の不揮発性半導体記憶装置の動作を説明する。不揮発性半導体記憶装置においては、一般に、消去、プログラム、読出しの3つの基本動作がある。

まず、消去動作について説明する。この第6図

— 6 —

の従来回路では、消去動作をチップ単位で行なう。すなわち、1チップの不揮発性半導体記憶装置に含まれる全メモリセルに対して一括して消去動作を行なうのである。そこで、チップ内の全ワード線7、8に高電圧 V_{pp} を印加し、全ビット線5、6に0Vを印加し、ソース線9をフローティング状態に保つ。この状態で、メモリセル1、2、3および4のそれぞれのドレイン12とコントロールゲート10との間に高電圧 V_{pp} が印加されるため、ドレイン12とフローティングゲート11との間のトンネル酸化膜15に高電界が生じる。この高電界によりドレイン12からフローティングゲート11にトンネル酸化膜を通して電子がトンネルし、フローティングゲート11に蓄積される。この結果、コントロールゲート10から見た全メモリセル1、2、3および4のしきい値電圧は消去動作前に比べて高くなる（“1”が書込まれる）。

次に、プログラム動作について説明する。この第6図の従来回路では、プログラム動作をページ

— 7 —

それぞれ（ $V_{i.m.m} = 0V$ ）、（ $V_{pp} - V_{i.m.m}$ ）の電圧が印加されるが、メモリセル2における高電圧 V_{pp} に比べると十分小さいため、しきい値電圧の変動は無視できるほど小さい。メモリセル3ではコントロールゲート10およびドレイン12ともに書込阻止電圧 $V_{i.m.m}$ が印加されるため、電位差がなく、しきい値電圧の変動はない。つまり、メモリセル1、3および4は状態が変化しない。

次に、読出動作について説明する。読出しは、メモリセルのドレインからソースに電流が流れるかどうかをビット線に接続されたセンスアンプ（図示せず）で検出することにより行なう。電流が流れる場合が“0”、流れない場合が“1”である。ここでは、メモリセル2に書込まれている情報を読出す場合について説明する。選択ワード線7に電圧 V_{pp} 程度の電圧が印加され、非選択ワード線8に0Vが印加され、ビット線6に1～2V程度の読出電圧が印加され、ビット線5に0Vが印加され、ソース線9に0Vが印加される。メ

— 9 —

単位（ワード線単位）で行なう。ここでは、ワード線7が選択され、それにつながるメモリセル2に“0”が書込まれ、他のメモリセル1、3および4は状態が変化しない場合について説明する。選択ワード線7に0Vが印加され、非選択ワード線8に書込阻止電圧 $V_{i.m.m}$ が印加され、ビット線5に書込阻止電圧 $V_{i.m.m}$ が印加され、ビット線6に高電圧 V_{pp} が印加され、ソース線9がフローティングゲート状態に保たれる。この状態で、メモリセル2のコントロールゲート10とドレイン12との間に高電圧 V_{pp} が印加されるため、フローティングゲート11とドレイン12との間に高電界が生じる。この高電界によりフローティングゲート11からドレイン12にトンネル酸化膜15を通して電子がトンネルし、フローティングゲート11は電子の空乏状態になる。この結果、コントロールゲートから見たメモリセル2のしきい値電圧はプログラム前に比べて低くなる（“0”が書込まれる）。また、メモリセル1、4のコントロールゲート10とドレイン12との間にはそ

— 8 —

メモリセル2に“0”が書込まれている場合（メモリセルのしきい値電圧が低い場合）は、フローティングゲート11の下にチャネルが形成されており、選択ワード線7の電圧によりコントロールゲート10の下にもチャネルが形成されるため、ビット線6に読出電圧が印加されれば、ドレイン12よりソース13に電流が流れる。メモリセル2に“1”が書込まれている場合（メモリセルのしきい値電圧が高い場合）は、フローティングゲート11の下にチャネルが形成されておらず、選択ワード線7の電圧によりコントロールゲートの下にチャネルが形成されても、電流は流れない。

以上のように、従来の不揮発性半導体記憶装置では、消去をチップ一括に行ない、その後プログラムをページ単位で行なっている。たとえば、512本のワード線を持つメモリセルアレイを考えた場合、消去を512ワード線一括に行なった後、プログラムを1ページ（ワード線）単位で行なうため、非選択メモリセルは最大512回の書込阻止ができればならない。つまり、第6図にお

— 10 —

けるメモリセル4の条件 ($V_{DD} - V_{thn}$) が
511回、メモリセル1の条件 ($V_{thn} - 0V$)
が1回である。

〔発明が解決しようとする課題〕

上記のごとく、従来の不揮発性半導体記憶装置は、消去がチップ単位でしか行なえず、また、非選択メモリセルの書込阻止回数もワード線の本数分必要であることから非常に多い。そのため、書込阻止電圧の変動に対するマージンが極めて小さいという問題点があった。すなわち、非選択メモリセルの書込阻止回数のうちの1回でも書込阻止電圧が変動すると、非選択メモリセルの情報が破壊されてしまうので、書込阻止電圧の電圧値を極めて正確に規定する必要があった。

この発明は、上記のような問題点を解消するためになされたもので、消去がセクタ単位（ワード線数本分単位）で行なえるとともに、プログラム時の非選択メモリセルの書込阻止回数を減少することができる不揮発性半導体記憶装置を提供することを目的とする。

— 11 —

各セクタごとに設けられ対応するセクタのセクタ選択用トランジスタのゲートに接続された複数のセクタ選択線を備えている。

この発明の他の局面においては、上記副ビット線は、対応するセクタおよび列のメモリセルトランジスタのドレインに接続されるとともに、隣接する列のメモリセルトランジスタのソースに接続される。

〔作用〕

この発明においては、1チップ上のメモリセルアレイを所定行ごとに複数のセクタに分割し、各セクタにセクタ選択用トランジスタを設けてセクタ単位で消去ができるようにするとともに、書込阻止電圧を選択メモリセルの属するセクタの非選択メモリセルにのみ印加できるようにし、それによって各メモリセルの書込阻止回数を減少させるようにしている。

〔実施例〕

第1図は、この発明の一実施例におけるメモリセルアレイの一部の構成を示す図である。具体的

〔課題を解決するための手段〕

この発明に係る不揮発性半導体記憶装置は、行方向および列方向に沿ってマトリクス状に配置された複数のメモリセルトランジスタを有し、かつ所定行ごとに複数のセクタに分割されたメモリセルアレイを備えている。各メモリセルトランジスタは、ドレインと、ソースと、コントロールゲートと、フローティングゲートとを有している。さらに、この発明に係る不揮発性半導体記憶装置は、メモリセルアレイの各行ごとに設けられ対応する行のメモリトランジスタのコントロールゲートに接続された複数のワード線と、メモリセルアレイの各列ごとに設けられた複数の副ビット線と、メモリセルアレイの各セクタの各列ごとに設けられ、対応するセクタおよび列のメモリセルトランジスタのドレインが接続された複数の副ビット線と、副ビット線ごとに所定個ずつ設けられ、そのドレインが対応する列の副ビット線に接続されそのソースが対応する副ビット線に接続された複数のセクタ選択用トランジスタと、メモリセルアレイの

— 12 —

には、第1図は、8つのメモリセルの回路図とその書込電圧条件を示している。図において、メモリセル1、2、3、4、28、29、30および31は、行方向および列方向に沿ってマトリクス状に配置されている。各メモリセルは、第7図に示すようなフローティングゲート型のトランジスタによって構成されている。このメモリセルアレイには、各行ごとにワード線7、8、32および33が設けられている。各ワード線は、対応する行の各メモリセルのコントロールゲートに接続されている。また、メモリセルアレイの各列には副ビット線23および24が設けられている。ここで、第1図のメモリセルアレイは、所定の行ごとに複数のセクタに分けられている。第1図では、ワード線7および8を含む第1のセクタと、ワード線32および33を含む第2のセクタの2つのセクタを示している。各セクタには、各列ごとにセクタ選択用トランジスタ19、20、34および35が設けられている。また、各セクタの各列には副ビット線21、22、36および37が設

— 14 —

— 13 —

けられている。各セクタ選択用トランジスタは、それぞれ、そのドレインが対応する列の主ビット線に接続され、そのソースが対応する列の副ビット線に接続される。たとえば、セクタ選択用トランジスタ19は、そのドレインが対応する列の主ビット線23に接続され、そのソースが対応する列の副ビット線21に接続される。また、各セクタには、セクタ選択線25および38が設けられ、対応するセクタに属するセクタ選択用トランジスタのゲートに接続されている。すなわち、セクタ選択線25はセクタ選択用トランジスタ19および20の各ゲートに接続され、セクタ選択線38はセクタ選択用トランジスタ34および35の各ゲートに接続されている。なお、全メモリセルのソースは、ソース線9に共通接続されている。

次に、第1図に示す実施例の動作を説明する。ここでは、メモリセル1、2、3および4を含むセクタを選択セクタ、メモリセル28、29、30および31を含むセクタを非選択セクタとして説明する。

— 15 —

次に、プログラム動作について説明する。プログラムは、従来例と同様にページ単位（ワード線単位）で行なわれる。そこで、ここではメモリセル2に“0”を書込み、他のメモリセル1、3および4は状態が変化しない場合について説明する。セクタ選択線25に高電圧 V_{pp} が印加され、選択ワード線7に0Vが印加され、非選択ワード線8に書込阻止電圧 V_{iw} が印加され、主ビット線23に書込阻止電圧 V_{iw} が印加され、主ビット線24に高電圧 V_{pp} が印加され、ソース線9がフローティング状態に保たれる。このとき、非選択セクタのセクタ選択線38および非選択セクタの全ワード線32および33は0Vである。この状態で、セクタ選択トランジスタ19および20はオン状態であるため、副ビット線21は主ビット線23と同じ電圧 V_{iw} になり、副ビット線22は主ビット線24と同じ電圧 V_{pp} になる。そこで、メモリセル2のコントロールゲート10とドレイン12との間に高電圧 V_{pp} が印加されるため、従来例と同様に、メモリセル2のし

— 17 —

まず、消去動作について説明する。消去は、セクタ単位で行なうことができる。そこで、選択セクタのセクタ選択線25に高電圧 V_{pp} あるいは5Vが印加され、選択セクタ内の全ワード線7および8に高電圧 V_{pp} が印加され、主ビット線23および24に0Vが印加され、ソース線9がフローティングゲート状態あるいは0Vに保たれる。このとき、非選択セクタのセクタ選択線38および非選択セクタの全ワード線32および33には0Vが印加される。この状態で、セクタ選択用トランジスタ19および20はオン状態であるため、副ビット線21および22は主ビット線23および24と同電位の0Vになる。そこで、メモリセル1、2、3および4のドレイン12とコントロールゲート10の間に高電圧 V_{pp} が印加されるため、従来例と同様に、メモリセル1、2、3および4のしきい値電圧は消去動作前に比べて高くなる。また、非選択セクタはセクタ選択線38が0Vであり、ワード線32および33も0Vであるため、メモリセルの状態に変化はない。

— 16 —

きい値電圧は低くなる。他のメモリセル1、3および4も従来例と同じ電圧条件になるため、しきい値電圧の変動はない。また、非選択セクタのセクタ選択線38は0V、ワード線32および33も0Vであるため、メモリセルの状態に変化はない。

次に、読出動作について説明する。ここでは、メモリセル2の情報を読出す場合について説明する。セクタ選択線25に電源電圧程度の電圧が印加され、選択ワード線7に電源電圧程度の電圧が印加され、非選択ワード線8に0Vが印加され、主ビット線23に0Vが印加され、副ビット線24に1〜2V程度の読出電圧が印加され、ソース線9に0Vが印加される。この状態で、セクタ選択トランジスタはオン状態であるため、副ビット線22には主ビット線24と同じ読出電圧が印加される。このため、従来例と同様にメモリセル2の情報が読出される。また、非選択のセクタでは、セクタ選択線38が0Vであるため、非選択セクタの副ビット線36および37は主ビット線23

— 18 —

および24につながらない。

以上説明したように第1図の実施例によれば、選択されたセクタだけに消去、プログラムが行なわれるため、セクタ単位の消去が可能になり、また、非選択セクタの副ビット線とワード線には電圧が一切印加されないため、非選択セクタ内のメモリセルの書き込み回数は1セクタに含まれるワード線の本数分だけになる。たとえば、1セクタのワード線の本数が8本であれば、非選択メモリセルは最大8回の書き込み阻止ができればよい。また、書き込み阻止電圧の電圧変動に対するマージンが2桁程度広がる。また、読み出しのときに主ビット線につながる副ビット線の本数は1本だけであるため、ビット線の浮遊容量は従来に比べて減少する。そのため、読み出し速度が速くなる。

ところで、第1図の実施例において、主ビット線23および24はアルミニウム等の金属線あるいは多結晶シリコンによって構成されるが、副ビット線21、22、36および37は、不純物拡散層で構成されるのが集積度を向上させる点で好

— 19 —

ましい。しかしながら、副ビット線を不純物拡散層で構成した場合、その抵抗値が金属線等比べて大きい。また、メモリセルの読み出し速度が、その配置される位置によって差が生じるという問題点がある。すなわち、メモリセルの読み出し速度は、セクタ選択用トランジスタから離れて配置されるものほど遅くなる。

第2図は、第1図の実施例において生じる上記のような問題点を解消するために考案されたこの発明の第2の実施例の構成を示す図である。なお、この第2図は、メモリセルアレイにおける1つのセクタの構成を示している。図において、セクタ内の各列には、セクタ選択用トランジスタが2個ずつ設けられている。すなわち、メモリセル1および3に対応する列には2つのセクタ選択用トランジスタ19および19'が設けられ、メモリセル2および4に対応する列にはセクタ選択用トランジスタ20および20'が設けられている。セクタ内の各列において、これら2個のセクタ選択用トランジスタは、好ましくは、対応する副ビット

— 20 —

線21および22の一端および他端に配置される。たとえば、セクタ選択用トランジスタ19は副ビット線21の一端に配置され、セクタ選択用トランジスタ19'は副ビット線21の他端に配置される。また、セクタ選択用トランジスタ20は副ビット線22の一端に配置され、セクタ選択用トランジスタ20'は副ビット線22の他端に配置される。そして、新たに追加されたセクタ選択用トランジスタ19'および20'に対してセクタ選択線25'が設けられ、このセクタ選択線25'は対応するセクタ選択用トランジスタ19'および20'の各ゲートに接続される。なお、同一セクタ内におけるセクタ選択線25および25'は、図示しないが1本にまとめられ、同一のセクタ選択信号が与えられる。その他の構成は、第1図に示す実施例と同様であり、相当する部分には同一の参照番号を付しておく。

第2図に示すような構成にすれば、選択メモリセルがどの位置にあっても対応する主ビット線と当該選択メモリセルとの間に生じる副ビット線に

— 21 —

よる抵抗値がほぼ同一になるため、読み出し速度のばらつきが緩和される。なお、この第2図に示す実施例は、前述した第1図の実施例が奏する効果と同様の効果ももちろん奏する。

なお、第2図の実施例では、同一セクタ内の1列に対して2個のセクタ選択用トランジスタを設けるようにしたが、3個以上のセクタ選択用トランジスタを設けるようにしてもよい。また、第2図の実施例では、同一セクタ内の同一列について、2個のセクタ選択用トランジスタを対応する副ビット線の一端および他端に配置するようにした。これによって読み出し速度のばらつき低減効果を最も期待することができるが、もちろんその他の位置に配置してもよく、この場合であっても読み出し速度のばらつき低減効果を得ることができる。このことは、同一セクタ内の同一列に3個以上のセクタ選択用トランジスタを設ける場合についても同様である。

第3図は、第1図および第2図に示す実施例のメモリセルアレイを駆動するための周辺回路の構

— 22 —

成を示すブロック図である。なお、これらの構成は、1チップに搭載されている。図において、外部から入力されたアドレスデータは、アドレスバッファ40を介してロウデコード41およびコラムデコード42に与えられる。これによって、メモリセルアレイ43におけるワード線、主ビット線およびセクタの選択が行なわれる。なお、第1図または第2図に示す実施例は、このメモリセルアレイ43内の一部の構成を示したものである。一方、外部から入力されたデータは、1/0バッファ44を介して書込ドライバ45に与えられる。書込ドライバ45は、コラムデコード42によって選択された主ビット線に当該データを与える。これによって、選択されたメモリセルにデータが書込まれる。このとき、高電圧スイッチ41および46は、高電圧発生回路47によって発生される高電圧 V_{pp} を、アドレスバッファ40からのアドレスによって指定される特定のワード線および主ビット線に印加する。読出時においては、ロウデコード41およびコラムデコード42によ

- 23 -

レイ内の1セクタの構成を示している。図において、この実施例では第1図または第2図に示されるようなソース線9は設けられていない。その代わりに、各メモリセル1、2、3および4は、それぞれそのソースが、隣接する列の副ビット線に接続されている。たとえば、第4図では、メモリセル1および3の各ソースは、同一セクタ内で隣接する列の副ビット線22に接続されている。もちろん、この副ビット線22は、対応する列のメモリセル2および4の各ドレインが接続されている。その他の構成は、第2図に示す実施例と同様であり、相当する部分には同一の参照番号を付しておく。

上記のような構成を有する第4図の実施例においては、同一セクタ内の或る列のメモリセルが選択されたときは、その列に属する副ビット線のみが副ビット線として作用し、その他の副ビット線はソース線として作用する。そのために、副ビット線を副ビット線として機能させるか、あるいはソース線として機能させるかを切換えるための切

- 25 -

て選択されたメモリセルに記憶されたデータがセンスアンプ45によって増幅された後、1/0バッファ44を介して外部へ出力される。なお、制御回路48は、バッファ49を介して外部から与えられるコントロール信号に基づいて、種々のタイミング信号を発生し、それによってアドレスバッファ40、ロウデコード/高電圧スイッチ41、1/0バッファ44、センスアンプ/書込ドライバ45および高電圧発生回路47の動作を制御する。

ところで、第1図または第2図に示す実施例においては、各メモリセルトランジスタのソースを1本のソース線9に接続するための配線を施さなければならない。そのため、配線工程が複雑になるとともに、その配線によって回路面積の増大を招くという問題点がある。

第4図は、第1図または第2図に示す実施例において生じる上記のような問題点を解消するために考案されたこの発明の第3の実施例の構成を示す図である。なお、この第4図は、メモリセルア

- 24 -

換回路が必要になる。

第5図は、第4図に示す実施例のメモリセルアレイを駆動するための周辺回路の構成を示すブロック図である。この第5図の構成も、第3図に示す装置と同様に1チップ内に搭載されている。この第5図に示す装置は、選択されたセクタ内における各副ビット線を副ビット線として機能させるかソース線として機能させるかを切換えるためのソース線/ビット線切換回路50が設けられている。その他の構成は、第3図に示す装置と同様である。ソース線/ビット線切換回路50は、コラムデコード42によって選択された主ビット線をフローティング状態にし、かつその他の非選択主ビット線を接地することにより、上記の切換えを行なう。具体的には、各主ビット線と接地との間に介挿され、かつコラムデコード42の出力に反応してオン、オフするトランジスタによって構成されている。

第4図および第5図に示す実施例によれば、各メモリセルトランジスタのソースに対しては配線

- 26 -

を行なう必要がなくなるので、配線工程が簡素化されるとともに、回路面積の縮小化を図ることができる。なお、第4図に示す実施例は、第2図に示す実施例と同様の効果も奏する。

なお、第4図に示す実施例においては、同一セクタ内の各列に2個のセクタ選択用トランジスタを設けるようにしているが、1個または3個以上であってもよく、さらにその配置も各副ビット線の両端でなくてもよい。

〔発明の効果〕

以上のように、この発明によれば、選択されたセクタだけに消去、プログラムが行なわれるため、セクタ単位の消去が可能になり、また、非選択セクタの副ビット線とワード線には一切電圧が印加されないため、非選択メモリセルの寄生阻止回数1セクタ内に含まれるワード線の本数分だけになる。したがって、寄生阻止電圧の電圧変動に対するマージンが従来の不揮発性半導体記憶装置に比べて2桁程度広がることになる。また、隣接する副ビット線間にメモリセルのドレインとソース

— 27 —

を接続する構成にしているため、各メモリセルトランジスタのソースに対して配線を施す必要がなくなり、配線工程の簡素化および回路面積の縮小化を図ることができる。

4. 図面の簡単な説明

第1図は、この発明の第1の実施例におけるメモリセルアレイの一部の構成およびその寄生電圧条件を示した図である。

第2図は、この発明の第2の実施例におけるメモリセルアレイの一部の構成を示した図である。

第3図は、第1図または第2図に示される実施例を駆動するための周辺回路の構成を示したブロック図である。

第4図は、この発明の第3の実施例におけるメモリセルアレイの一部の構成を示した図である。

第5図は、第4図に示す実施例を駆動するための周辺回路の構成を示したブロック図である。

第6図は、従来の不揮発性半導体記憶装置におけるメモリセルアレイの一部の構成およびその寄生電圧条件を示した図である。

— 28 —

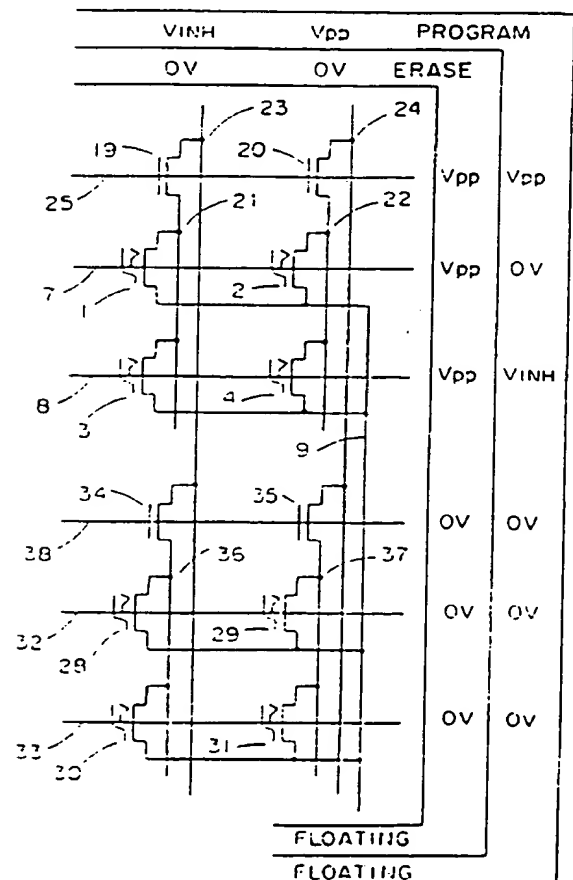
第7図は、従来の装置およびこの発明の実施例の装置において用いられるメモリセルの断面構造を示した図である。

図において、1、2、3、4、28、29、30および31はフローティングゲート型トランジスタにより構成されたメモリセル、7、8、32および33はワード線、23および24は主ビット線、21、22、35および37は副ビット線、19、20、34、35、19'および20'はセクタ選択用トランジスタ、25、25'および38はセクタ選択線、10はコントロールゲート、11はフローティングゲート、12はドレイン、13はソース、14は半導体基板、15はトンネル酸化膜を示す。

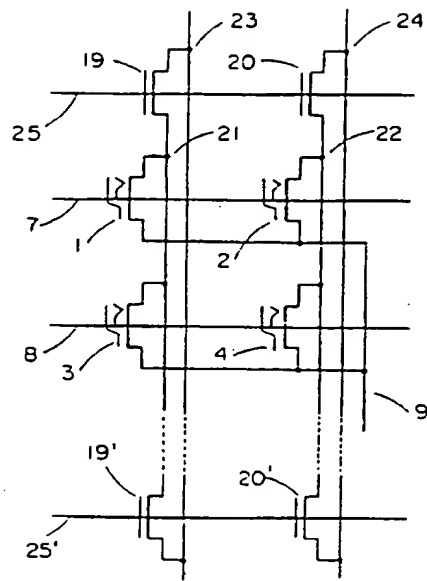
代理人 大 智 地 蔵

— 29 —

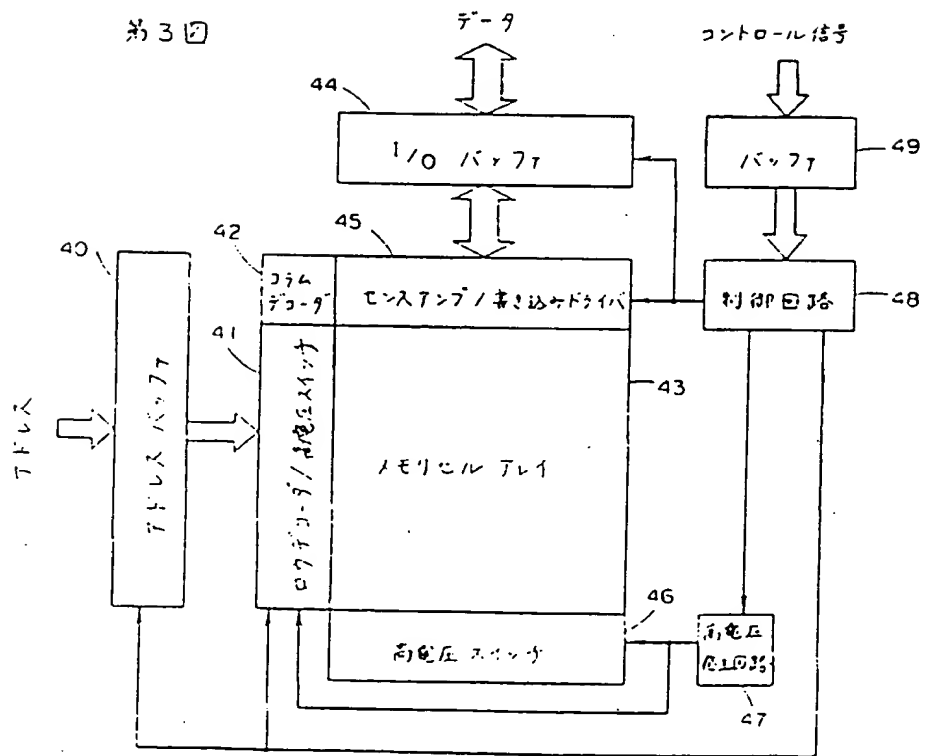
第1図



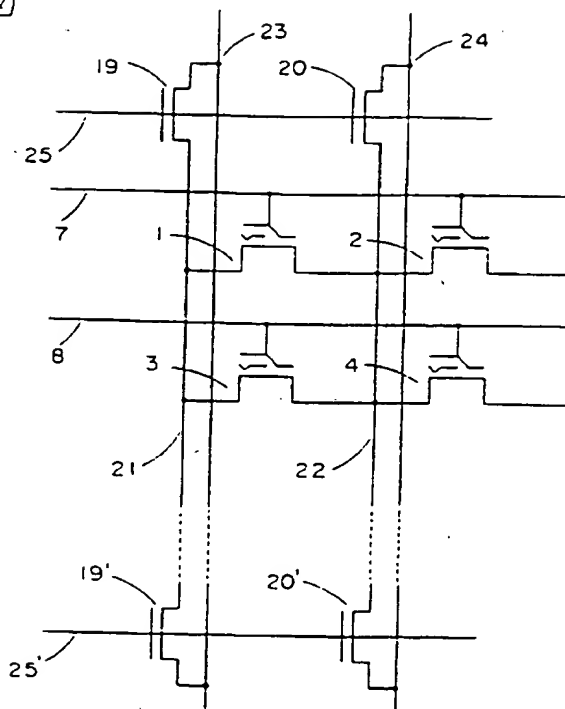
第2図



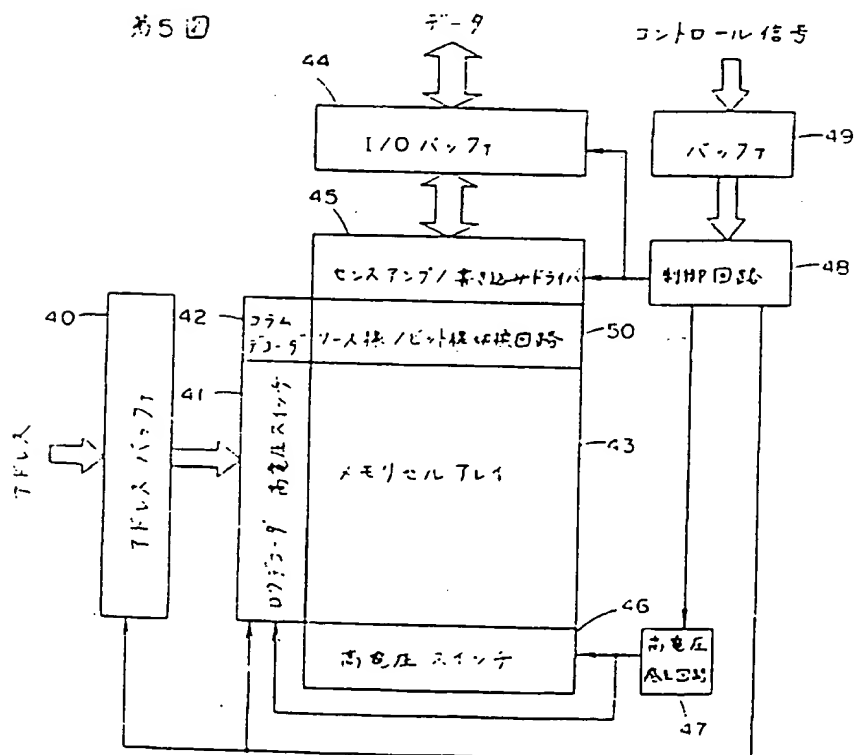
第3図



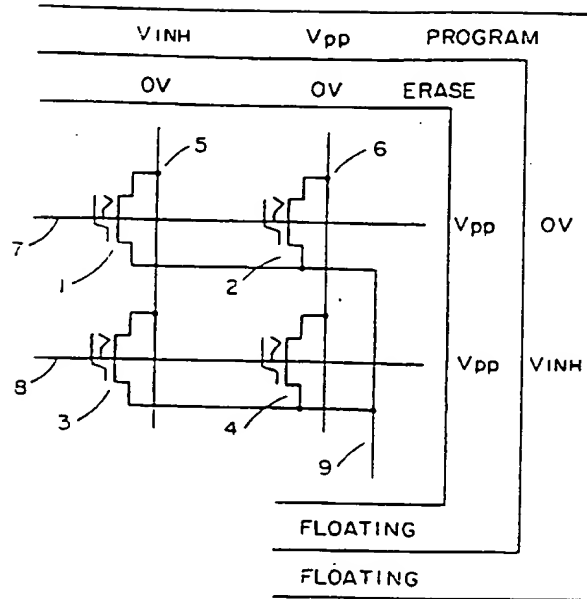
第4図



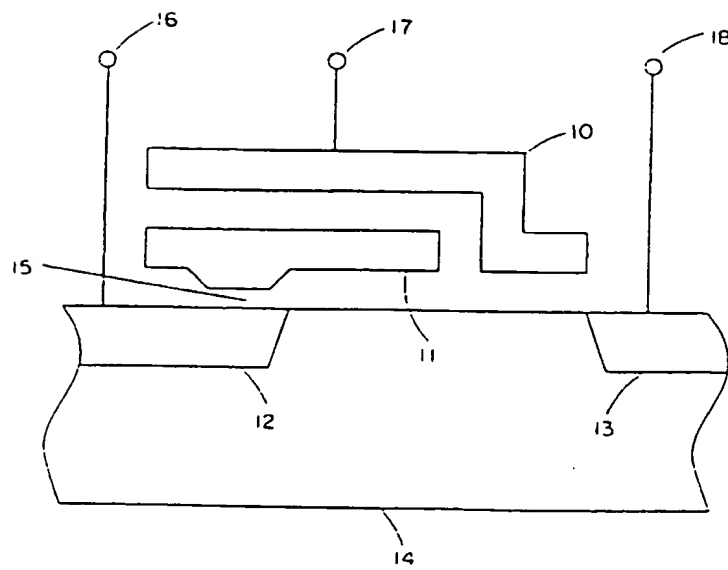
第5図



第6回



第7回



第1頁の続き

⑤Int. Cl.⁵

識別記号

庁内整理番号

H 01 L 27/115
29/792

⑦発 明 者 宮 脇

好 和

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

手 続 補 正 書 (自発)

平成 2 年 4 月 4 日

特許庁長官殿

1. 事件の表示 特許出願 1-150884 号

2. 発明の名称

不揮発性半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (501) 三菱電機株式会社

代表者 取締役 宮 脇 好 和

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏 名 (7375) 弁理士 大 岩 昭 雄

(114852)(213)34215(2752)

方 式
補 正



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第19頁第6行～第7行の「非
選択セクタ内のメモリセル」を「非選択メモリセ
ル」に訂正する。

(2) 明細書第20頁第15行の「3に対応す
る列」を「3に対応する列」に訂正する。

(3) 明細書第26頁第11行～第18行の
「ソース線ノビット線切換回路50は、…されて
いる。」を下記の文意に訂正する。

記

ソース線ノビット線切換回路50は、消去動作時
にはすべての主ビット線を接地し、プログラム動
作時にはすべての主ビット線を接地から切り離し、
コラムデコード42によって選択された主ビット
線のみを消込ドライバ45に接続し、読出動作時
にはコラムデコード42によって選択された主ビ
ット線のみをセンスアンプ45に接続し、他の非
選択ビット線を接地する。

以上

— 2 —

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**